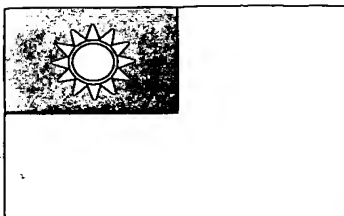


JCH17232

10/055,567



# 中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder：

申請日：西元 2001 年 10 月 05 日  
Application Date

申請案號：090124631  
Application No.

RECEIVED

MAY 20 2002

申請人：威盛電子股份有限公司  
Applicant(s)

Technology Center 2100

局長

Director General

陳明邦

發文日期：西元 2002 年 2 月 25 日  
Issue Date

發文字號：09111002925  
Serial No.

申請日期	
案 號	
類 別	

A4  
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 名稱	中 文	記憶體控制器及其時序調整方法
	英 文	
二、發明 創作人	姓 名	1 郭宏益 2 林益明
	國 籍	中華民國
	住、居所	台北縣新店市中正路 533 號 8 樓
三、申請人	姓 名 (名稱)	威盛電子股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	台北縣新店市中正路 533 號 8 樓
	代 表 人 名 姓 名	王雪紅

裝

訂

線

## 四、中文發明摘要（發明之名稱： 記憶體控制器及其時序調整方法 )

一種記憶體控制器及其時序調整方法，其中之記憶體初始化裝置係用以初始化記憶體，而時序調整裝置至少包括：加減裝置、相位鎖住迴路裝置、特別波形產生裝置及週期時序協定裝置。上述加減裝置用來增減相位調整信號，相位鎖住迴路裝置用來依據相位調整信號，來偏移內部時脈信號，以輸出相位偏移時脈信號，週期時序協定裝置係當在調整記憶體匯流排介面時，產生特定之週期時序，以輸出預定時序信號，特別波形產生裝置用來特定之週期時序時，輸出特別樣型信號。

## 英文發明摘要（發明之名稱： )

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

## 五、發明說明( | )

本發明是有關於一種記憶體匯流排介面，且特別是有關於一種記憶體控制器及其時序調整方法。

由於現今電腦系統之記憶體所接收到的時脈信號，會根據實際安插在系統上的雙排記憶模組的數目及雙排記憶模組的記憶體顆粒而有所差異，所以一般而言，在設計上很難掌控記憶體和記憶體控制裝置間的時序變動，也因此記憶體控制裝置會留有暫存器來作記憶體介面之時序上的調整，不過這暫存器所儲存之調整值調整好後，通常就是在基本輸出入系統(簡稱 BIOS)中就固定住了，不容易調動。而針對不同的晶援代工廠之生產差異、印刷電路板(簡稱 PCB)的匯流排走線長度佈線差異、以及表面鉅嵌技術(簡稱 SMT)的生產差異，這調整值就變得要再依各種不同狀況，再來作調整，這樣不但很麻煩，而且也不精確。

習知之另一種方法係提供一種以緩衝器為延遲內部時脈信號來調整時序的方法，但此種方法由於利用緩衝器，故僅能延遲內部時脈信號之相位，並不可以往前位移內部時脈信號的相位，而且也不是很精確。

有鑑於此，本發明提供一種記憶體控制器的時序調整裝置及其方法，其找出記憶體匯流排介面操作時最佳之相位調整信號，不僅可以延遲內部時脈信號之相位更可以往前位移內部時脈信號的相位，而且比習知的方法所做出來的時序更為精確，這樣控制裝置與記憶體之間存取資料時就會穩定，不用將電路板重新佈局就可以使用，可以節省成本上的浪費以及重新製作記憶體匯流排介面的時間。

## 五、發明說明(2)

本發明提供一種記憶體控制器，其耦接至記憶體匯流排，而此記憶體匯流排耦接至記憶體，本發明之記憶體控制器包括：記憶體初始化裝置、記憶體匯流排介面以及時序調整裝置。其中時序調整裝置包括：週期時序協定裝置(Cycle Protocol Device)、特別波形產生裝置(Special Pattern Device)、第一加減裝置、第二加減裝置、第一相位鎖住迴路裝置(Phase Lock Loop Device)、第二相位鎖住迴路裝置。

上述記憶體初始化裝置係耦接至記憶體匯流排，其用以初始化記憶體，記憶體必須經初始化後方得以正常操作。而上述記憶體匯流排介面當然耦接至記憶體匯流排，其用以栓鎖與緩衝記憶體控制器與記憶體之間的訊號。本發明之時序調整裝置也耦接至記憶體匯流排介面，其用以控制記憶體匯流排介面，來調整記憶體控制器與記憶體匯流排送收訊號時之時序。

時序調整裝置中的週期時序協定裝置係用以當在調整記憶體匯流排介面之時序時，產生特定之週期時序，以輸出預定時序信號。而特別波形產生裝置係耦接至週期時序協定裝置及記憶體匯流排介面，用以接受週期時序協定裝置送出之預定時序信號，以在特定之週期時序時，輸出第一特別樣型信號至記憶體匯流排介面，並且隨後從記憶體匯流排介面接收第二特別樣型信號。

上述第一與第二加減裝置係用以分別增減並產生第一與第二相位調整信號。而第一相位鎖住迴路裝置係耦接

(請先閱讀背面之注意事項再填寫本頁)

裝訂線

## 五、發明說明 ( 3 )

至第一加減裝置及記憶體匯流排介面，其係用於接收第一相位調整信號及內部時脈信號，此第一相位鎖住迴路裝置依據第一相位調整信號，來偏移內部時脈信號，以輸出第一相位偏移時脈信號，上述記憶體匯流排介面根據此第一相位偏移時脈信號，以適當驅動第一特別樣型信號至記憶體匯流排。至於，第二相位鎖住迴路裝置係耦接至第二加減裝置及記憶體匯流排介面，其係用於接收第二相位調整信號及內部時脈信號，此第二相位鎖住迴路裝置依據第二相位調整信號，來偏移內部時脈信號，以輸出第二相位偏移時脈信號，上述記憶體匯流排介面根據此第二相位偏移時脈信號，以調整並驅動記憶體匯流排上之信號，使成為上述第二特別樣型信號。

本發明使上述第一與第二加減裝置分別重複複數次增減並送出第一相位調整信號與第二相位調整信號，並比較所接收之第一特別樣型信號與第一特別樣型信號，以獲得記憶體匯流排介面操作時最佳之該相位調整信號。

本發明另提供一種記憶體控制器之時序調整方法，此記憶體控制器內部具有記憶體匯流排介面，而記憶體匯流排介面耦接至記憶體匯流排，而此記憶體匯流排耦接至記憶體，本發明之時序調整方法包括下列步驟：首先初始化記憶體；接著送出相位調整信號；再依據此相位調整信號，來偏移內部時脈信號，以輸出相位偏移時脈信號；然後依據特定之週期時序，輸入第一特別樣型信號至記憶體匯流排介面；而上述記憶體匯流排介面根據相位偏移時脈

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明(4)

信號，以適當驅動第一特別樣型信號至記憶體匯流排；稍後，記憶體匯流排介面根據相位偏移時脈信號，以適當接收記憶體匯流排上之信號，以產生第二特別樣型信號；再依據特定之週期時序，接收記憶體匯流排介面之第二特別樣型信號；接著，比較第一特別樣型信號以及第二特別樣型信號；以及重複數次增減並送出上述相位調整信號，以獲得記憶體匯流排介面操作時最佳之相位調整信號。

本發明提供記憶體控制器及其時序調整方法，可以有效地解決因電路在佈局過程中處理不當時，造成系統上的不穩定，這樣就不用將電路板重新佈局就可以使用，可以節省成本上的浪費以及重新製作中央處理單元匯流排介面的時間。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

### 圖式之簡單說明

第 1 圖為本發明之較佳實施例之記憶體控制器；以及

第 2 圖為本發明之一較佳實施例之記憶體控制器的時序調整方法流程圖。

### 標號說明

102：記憶體控制器

104：記憶體初始化裝置

106：調整裝置

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

## 五、發明說明 ( 5 )

108：記憶體

110、112：加減裝置

114、116：相位鎖住迴路裝置

118、120：栓鎖器

122：特別波形產生裝置

124：週期時序協定裝置

126、128：緩衝器

130：驅動強化控制器

132：暫存器

134：記憶體週期初始化產生器

CLK：時脈信號

N：N 信號

### 較佳實施例

請參考第 1 圖，圖中係繪示本發明之較佳實施例之記憶體控制器，包括：時序調整裝置 106、記憶體控制器 102、記憶體匯流排介面 103 及初始化裝置 104。

本實施例之調整裝置 106 包括：二個加減裝置 110 及 112、二個相位鎖住迴路裝置 114 及 116、特別波形產生裝置 122 以及週期時序協定裝置 124。其中連接方式為：特別波形產生裝置 122 耦接到週期時序協定裝置 124 及記憶體匯流排介面 103，相位鎖住迴路裝置 116 耦接至加減裝置 112 及記憶體匯流排介面 103，相位鎖住迴路裝置 114 耦接到加減裝置 110 及記憶體匯流排介面 103。

本實施例之記憶體匯流排介面 103 包括：二個栓鎖

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線



## 五、發明說明 ( 6 )

器 120 及 118、二個緩衝器 126 及 128 以及驅動強化控制器 130。其中連接方式為：栓鎖器 120 耦接特別波形產生裝置 122 及相位鎖住迴路裝置 116，栓鎖器 118 耦接特別波形產生裝置 122 及相位鎖住迴路裝置 114，緩衝器 128 耦接栓鎖器 120 及驅動強化控制器 130 以及緩衝器 126 耦接栓鎖器 124。

本實施例之初始化裝置 104 包括：記憶體週期初始化產生器 134 及暫存器 132，其耦接方式為記憶體週期初始化產生器 134 耦接至暫存器 132 及記憶體匯流排 105。

當系統一開機時，初始化裝置 104 的記憶體週期初始化產生器 134 會自行去讀取記憶體 108 上的串列程式裝置(serial program device，簡稱 SPD)的資料，並存取 SPD 之資料在暫存器 132 上，其中熟知此技藝者可知本方法可運用於可攜式電腦上，但由於其 SPD 的記憶體之位址是相同的，所以需要一個二對一的多工器來做記憶體匯流排 105 的切換，以分別存取不同記憶體的 SPD 之資料。

初始化裝置 104 會根據儲存在暫存器 132 上的資料，來設定記憶體在初始化階段所需的週期，其中熟知此技藝者可知這些週期係根據記憶體的規格按照一定的順序產生。

在做完初始化之後，就可以去調整調整記憶體匯流排介面 103 的寫入資料到記憶體 108 的時序之動作，當調整記憶體匯流排介面 103 的寫入資料的到記憶體 108 時序時，週期時序協定裝置 124 會去產生特定之週期時序，並

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明(7)

輸出預定時序信號到特別波形產生裝置 122。當特別波形產生裝置 122 接收到預定時序信號時，就會依照特定之週期時序，輸出特別樣型信號到記憶體匯流排介面 103 的栓鎖器 120，其中特別波形產生裝置 122 所輸出的特別樣型信號，會使得特定的資料存在特定的記憶體位址上，之後再令記憶體 108 從特定之記憶體位址上將特定之資料做輸出的動作。例如：週期時序協定裝置 124 去設定特定之週期時序為二個時脈週期，特別波形產生裝置 122 就會每隔二個時脈週期輸出特別樣型信號到記憶體匯流排介面 103 的栓鎖器 120。

另一方面加減裝置 112 輸出相位調整信號到相位鎖住迴路裝置 116，當相位鎖住迴路裝置 116 接收到相位調整信號及內部時脈信號時，相位鎖住迴路裝置 116 會依據相位調整信號以及 N 信號，來做偏移內部時脈信號的動作，然後再輸出相位偏移時脈信號到記憶體匯流排介面 103 的栓鎖器 120，記憶體匯流排介面 103 的栓鎖器 120 以相位偏移時脈信號為時序，以適當驅動特別樣型信號產生調整後之特別樣型信號並輸出到緩衝器 128，其中，N 信號係用來決定偏移內部時脈信號每一次的相位值，如  $N=3$  時，此時偏移的相位值 = 內部時脈信號 /  $2^3$ ，故可以得到相位偏移時脈信號 = 內部時脈信號 + 內部時脈信號 /  $2^3$ 。

當緩衝器 128 接收到調整後之特別樣型信號時，利用驅動強化控制器 130 輸出驅動強化信號來控制緩衝器 128 的驅動能力，來調整新特別樣型信號的上升緣及下降

## 五、發明說明( 8 )

緣之斜率，再經由記憶體匯流排 105 輸出到記憶體 108，其中熟知此技藝者可以利用驅動強化控制器 130 由大到小或由小到大來調整驅動強化信號的強度，找到最佳的驅動強化信號。

此時記憶體 108 接收到調整後之特別樣型信號後，此調整後之特別樣型信號會使得特定的資料存在特定的記憶體位址上，之後再令記憶體 108 從特定之記憶體位址上將特定之資料經由緩衝器 126 以及栓鎖器 118 輸入到特別波形產生裝置 122，其中熟知此技藝者可知，栓鎖器 118 係以內部時脈信號為時序去驅動記憶體匯流排上之信號到特別波形產生裝置 122。例如記憶體 108 接收到調整後之特別樣型信號後，將特定的資料 FF 存取到特定之記憶體位址 3FFF 上，再將此特定的資料 FF 由特定之記憶體位址 3FFF 上讀出，送出成為記憶體匯流排上之信號，再經由緩衝器 126 以及栓鎖器 118，成為另一個特別樣型信號，最後輸入到特別波形產生裝置 122。

此時特別波形產生裝置 122 比較送出之特別樣型信號與接收之特別樣型信號後，利用所接收到的信號是否錯誤，來判斷目前所設定的時序是否可正常運作，若目前所設定的時序，使信號可正常運作時，就以此相位偏移時脈信號為基準點，利用加減裝置 112 控制相位調整信號的增減使得相位偏移時脈信號向左偏移，重複以上動作，一直到特別波形產生裝置 122 接收之特別樣型信號發生錯誤後，再回到基準點利用加減裝置 112 控制相位調整信號的

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

## 五、發明說明(9)

增減使得相位偏移時脈信號向右偏移，重複以上動作，一直到特別波形產生裝置 122 接收之特別樣型信號發生錯誤後，其中二個特別樣型信號發生錯誤的時序之間的距離，就是安全的相位偏移時脈信號範圍。例如：設定  $N=3$  時，加減裝置 112 增加相位調整信號，使得相位偏移時脈信號向左偏移，一直到相位調整信號增加 4 時，特別波形產生裝置 122 接收之特別樣型信號就發生錯誤，再回到基準點，此時加減裝置 112 減少相位調整信號，使得相位偏移時脈信號向右偏移，一直到相位調整信號減少到 4 時，特別波形產生裝置 122 接收之特別樣型信號就發生錯誤。由以上所述，可以計算出安全的相位偏移時脈信號範圍為  $[-4/2^3$  的內部時脈信號到  $4/2^3$  的內部時脈信號]，其中 4 代表的是總共偏移之相位值，3 代表的是每一次偏移之相位值。而熟知此技藝者可利用不同基準點及不同的偏移方式，在不失此原則下自由的發揮找到安全的相位偏移時脈信號範圍。

本發明另外提供在調整記憶體匯流排介面 103 的讀出資料的時序時的調整裝置。

當調整記憶體匯流排介面 103 的讀出資料的時序時，週期時序協定裝置 124 同時會去產生特定之週期時序，並輸出預定時序信號到特別波形產生裝置 122。當特別波形產生裝置 122 接收到預定時序信號時，就會依照特定之週期時序，輸出特別樣型信號到記憶體匯流排介面 103 的栓鎖器 120，其中特別波形產生裝置 122 所輸出的特別樣型

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明(10)

信號，會使得特定的資料存在特定的記憶體位址上，之後再令記憶體 108 從特定之記憶體位址上將特定之資料以結果信號的方式輸出的動作。例如：週期時序協定裝置 124 去設定特定之週期時序為二個時脈週期，特別波形產生裝置 122 就會每隔二個時脈週期輸出特別樣型信號到記憶體匯流排介面 103 的栓鎖器 120。

當栓鎖器 120 接收到特別樣型信號，栓鎖器 120 以內部時脈信號為時序，去驅動特別樣型信號產生新特別樣型信號並經由緩衝器 128 及記憶體匯流排 105 輸出到記憶體 108，此時記憶體 108 會依照新特別樣型信號讓特定的資料存在特定的記憶體位址上，之後再令記憶體 108 從特定之記憶體位址上將特定之資料以記憶體匯流排上之信號的方式輸出到緩衝器 126。

另一方面加減裝置 110 輸出相位調整信號到相位鎖住迴路裝置 114，當相位鎖住迴路裝置 114 接收到相位調整信號及內部時脈信號時，相位鎖住迴路裝置 114 會依據相位調整信號以及 N 信號，來做偏移內部時脈信號的動作，然後再輸出相位偏移時脈信號到記憶體匯流排介面 103 的栓鎖器 118，記憶體匯流排介面 103 的栓鎖器 118 以相位偏移時脈信號為時序，以適當驅動記憶體匯流排上之信號，成為另一個特別樣型信號，最後輸出到特別波形產生裝置 122，其中，N 信號係用來決定偏移內部時脈信號每一次的相位值，如  $N=3$  時，此時偏移的相位值=內部時脈信號/ $2^3$ ，故可以得到相位偏移時脈信號=內部時脈信號+內

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( // )

部時脈信號 $/2^3$ 。

此時特別波形產生裝置 122 比較送出之特別樣型信號與接收之特別樣型信號後，利用所接收到的特別樣型信號是否錯誤，來判斷目前所設定的時序是否可正常運作，若目前所設定的時序結果信號可正常運作時，就以此相位偏移時脈信號為基準點，利用加減裝置 112 控制相位調整信號的增減使得相位偏移時脈信號向左偏移，重複以上動作，一直到特別波形產生裝置 122 接收之特別樣型信號發生錯誤後，再回到基準點利用加減裝置 110 控制相位調整信號的增減使得相位偏移時脈信號向右偏移，重複以上動作，一直到特別波形產生裝置 122 接收之特別樣型信號發生錯誤後，其中二個特別樣型信號發生錯誤的時序之間的距離，就是安全的相位偏移時脈信號範圍。例如：設定  $N=3$  時，加減裝置 110 增加相位調整信號，使得相位偏移時脈信號向左偏移，一直到相位調整信號增加 4 時，特別波形產生裝置 122 接收之特別樣型信號就發生錯誤，再回到基準點，此時加減裝置 110 減少相位調整信號，使得相位偏移時脈信號向右偏移，一直到相位調整信號減少到 4 時，特別波形產生裝置 122 接收之特別樣型信號就發生錯誤。由以上所述，可以計算出安全的相位偏移時脈信號範圍為  $[-4/2^3$  的內部時脈信號到  $4/2^3$  的內部時脈信號]，其中 4 代表的是總共偏移之相位值，3 代表的是每一次偏移之相位值。而熟知此技藝者可利用不同基準點及不同的偏移方式，在不失此原則下自由的發揮找到安全的相位偏移時脈

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明（12）

信號範圍。

第 2 圖為本發明之一較佳實施例之記憶體控制器的時序調整方法流程圖，請同時參照第 1 圖與第 2 圖。綜合整理上述第 1 圖之實施例，可知本發明所提供之一種記憶體控制器之時序調整方法包括下列步驟：首先初始化記憶體（未繪示），使記憶體 108 得以可以開始正常操作，例如使用記憶體初始裝置 104；接著如步驟 S200，送出相位調整信號，此相位調整信號會重複複數次被增減後送出，以開始調整時序；然後如步驟 S202，再依據此相位調整信號，來偏移內部時脈信號，以輸出相位偏移時脈信號；跟著如步驟 S204，依據特定之週期時序，輸入第一特別樣型信號至記憶體匯流排介面；而如步驟 S206，記憶體匯流排介面 103 會根據相位偏移時脈信號，以驅動第一特別樣型信號至記憶體匯流排 105。

記憶體 108 會依照第一特別樣型信號讓特定的資料存在特定的記憶體位址上，之後再記憶體 108 會再從特定之記憶體位址上將特定之資料送出到記憶體匯流排上，記憶體匯流排介面再根據相位偏移時脈信號，以適當接收記憶體匯流排上之信號，以產生第二特別樣型信號（未繪示）；接著如步驟 S208 與步驟 S210，比較第一特別樣型信號以及第二特別樣型信號，以紀錄信號錯誤與否，及重複複數次增減並送出上述相位調整信號，再從所有  $2^N$  測試次數中，求出信號無誤的次數，例如是：以中間值為主，來獲得記憶體匯流排介面操作時最佳之相位調整信號或相位偏

（請先閱讀背面之注意事項再填寫本頁）

裝 · 訂 · 線

## 五、發明說明(13)

移時脈信號。

本發明的優點可以，修正記憶體控制器與記憶體之間的時脈信號差距、CPU 設計、PCB 佈線圖、SMT 等時脈偏差的缺點，達到系統的穩定性及最佳化狀態。利用本發明來作時序控制，這樣各式各樣的裝置都可以修正好，不需要人工來作調整，這樣就可以節省時間跟成本。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線



## 六、申請專利範圍

1.一種記憶體控制器，耦接至一記憶體匯流排，而該記憶體匯流排耦接至一記憶體，該記憶體控制器包括：

一記憶體初始化裝置，耦接至該記憶體匯流排，用以初始化該記憶體，該記憶體經初始化後方得以正常操作；

一記憶體匯流排介面，耦接至該記憶體匯流排，用以栓鎖與緩衝該記憶體控制器與該記憶體之間的訊號；以及

一時序調整裝置，耦接至該記憶體匯流排介面，用以控制該記憶體匯流排介面，來調整該記憶體控制器與該記憶體匯流排送收訊號時之时序，該时序調整裝置包括：

一週期时序協定裝置，用以當在調整該記憶體匯流排介面之时序時，產生特定之週期时序，以輸出一預定时序信號；

一特別波形產生裝置，耦接至該週期时序協定裝置及該記憶體匯流排介面，用以接受該預定时序信號，以在特定之週期时序時，輸出一第一特別樣型信號至該記憶體匯流排介面，以及接收該記憶體匯流排介面之一第二特別樣型信號；

一第一加減裝置，用以增減一第一相位調整信號；

一第二加減裝置，用以增減一第二相位調整信號；

一第一相位鎖住迴路裝置，耦接至該第一加減

## 六、申請專利範圍

裝置及該記憶體匯流排介面，係用於接收該第一相位調整信號及一內部時脈信號，該第一相位鎖住迴路裝置依據該第一相位調整信號，來偏移該內部時脈信號，以輸出一第一相位偏移時脈信號，該記憶體匯流排介面根據該第一相位偏移時脈信號，以適當驅動該第一特別樣型信號至該記憶體匯流排；以及

一第二相位鎖住迴路裝置，耦接至該第二加減裝置及該記憶體匯流排介面，係用於接收該第二相位調整信號及該內部時脈信號，該第二相位鎖住迴路裝置依據該第二相位調整信號，來偏移該內部時脈信號，以輸出一第二相位偏移時脈信號，該記憶體匯流排介面根據該第二相位偏移時脈信號，以調整並驅動該記憶體匯流排上之信號，使成為該第二特別樣型信號；

其中該第一加減裝置與該第二加減裝置重複複數次增減並送出該第一相位調整信號與該第二相位調整信號，並比較所接收之該第一特別樣型信號與該第一特別樣型信號，以獲得該記憶體匯流排介面操作時最佳之該相位調整信號。

2.如申請專利範圍第 1 項所述之記憶體控制器，其中該記憶體匯流排介面包括：

一第一栓鎖器，耦接該特別波形產生裝置及該第一相位鎖住迴路裝置，用以暫存該第一特別樣型信號，利用該第一相位偏移時脈信號為時序去驅動該第一栓鎖器，使得該第一栓鎖器輸出一調整後之第一特別樣型信號；

## 六、申請專利範圍

一第一緩衝器，耦接該第一栓鎖器，用以接收該調整後之第一特別樣型信號，加強該調整後之第一特別樣型信號之電流，並輸出該調整後之第一特別樣型信號至該記憶體；以及

一驅動強化控制器，耦接至該第一緩衝器，係用於輸出一驅動強化信號以控制該第一緩衝器之驅動能力。

3.如申請專利範圍第 2 項所述之記憶體控制器，其中該記憶體匯流排介面更包括：

一第二緩衝器，用以接收、加強並輸出該記憶體匯流排上之信號；以及

一第二栓鎖器，耦接該特別波形產生裝置、該第二相位鎖住迴路裝置及該第二緩衝器，用以接收且暫存該第二緩衝器輸出之該記憶體匯流排上之信號，利用該第二相位偏移時脈信號為時序去驅動該第二栓鎖器，使得該第二栓鎖器輸出該第二特別樣型信號。

4.如申請專利範圍第 1 項所述之記憶體控制器，其中該第一相位鎖住迴路裝置與該第二相位鎖住迴路裝置更接收一 N 信號，用以決定偏移該內部時脈信號一次之相位值。

5.一種記憶體控制器，耦接至一記憶體匯流排，而該記憶體匯流排耦接至一記憶體，該記憶體控制器包括：

一記憶體匯流排介面，耦接至該記憶體匯流排，用以栓鎖與緩衝該記憶體控制器與該記憶體之間的訊號；以及

## 六、申請專利範圍

一時序調整裝置，耦接至該記憶體匯流排介面，用以控制該記憶體匯流排介面，來調整該記憶體控制器與該記憶體匯流排送收訊號時之時序，該時序調整裝置包括：

一週期時序協定裝置，用以當在調整該記憶體匯流排介面之時序時，產生特定之週期時序，以輸出一預定時序信號；

一特別波形產生裝置，耦接至該週期時序協定裝置及該記憶體匯流排介面，用以接受該預定時序信號，以在特定之週期時序時，輸出一特別樣型信號至該記憶體匯流排介面；

一加減裝置，用以增減一相位調整信號；以及

一相位鎖住迴路裝置，耦接至該加減裝置及該記憶體匯流排介面，係用於接收該相位調整信號及一內部時脈信號，該相位鎖住迴路裝置依據該相位調整信號，來偏移該內部時脈信號，以輸出一相位偏移時脈信號，該記憶體匯流排介面根據該相位偏移時脈信號，以適當驅動該特別樣型信號至該記憶體匯流排；

其中該加減裝置重複複數次增減並送出該相位調整信號，並由該記憶體所接收之該特別樣型信號錯誤與否，以獲得該記憶體匯流排介面操作時最佳之該相位調整信號。

6.如申請專利範圍第 5 項所述之記憶體控制器，其中該記憶體匯流排介面至少包括：

一栓鎖器，耦接該特別波形產生裝置及該相位鎖住

## 六、申請專利範圍

迴路裝置，用以暫存該特別樣型信號，利用該相位偏移時脈信號為時序去驅動該栓鎖器，使得該栓鎖器輸出一調整後之特別樣型信號；

一緩衝器，耦接該栓鎖器，用以接收該調整後之特別樣型信號，加強該調整後之特別樣型信號之電流，並輸出該調整後之特別樣型信號至該記憶體；以及

一驅動強化控制器，耦接至該緩衝器，係用於輸出一驅動強化信號以控制該緩衝器之驅動能力。

7.如申請專利範圍第 5 項所述之記憶體控制器，其中該相位鎖住迴路裝置更接收一 N 信號，用以決定偏移該內部時脈信號一次之相位值。

8.一種記憶體控制器之時序調整方法，該記憶體控制器具有一記憶體匯流排介面，該記憶體匯流排介面耦接至一記憶體匯流排，而該記憶體匯流排耦接至一記憶體，該時序調整方法包括下列步驟：

初始化該記憶體；

送出一相位調整信號；

依據該相位調整信號，來偏移一內部時脈信號，以輸出一相位偏移時脈信號；

依據特定之週期時序，輸入一第一特別樣型信號至該記憶體匯流排介面；

該記憶體匯流排介面根據該相位偏移時脈信號，以適當驅動該第一特別樣型信號至該記憶體匯流排；

該記憶體匯流排介面根據該相位偏移時脈信號，以

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

適當接收該記憶體匯流排上之信號，以產生一第二特別樣型信號；

依據特定之週期時序，接收該記憶體匯流排介面之該第二特別樣型信號；

比較該第一特別樣型信號以及該第二特別樣型信號；以及

重複複數次增減並送出該相位調整信號，以獲得該記憶體匯流排介面操作時最佳之該相位調整信號。

9.一種記憶體控制器，耦接至一記憶體匯流排，而該記憶體匯流排耦接至一記憶體，該記憶體控制器包括：

一記憶體匯流排介面，耦接至該記憶體匯流排，用以栓鎖與緩衝該記憶體控制器與該記憶體之間的訊號；以及

一時序調整裝置，耦接至該記憶體匯流排介面，用以控制該記憶體匯流排介面，來調整該記憶體控制器與該記憶體匯流排送收訊號時之時序，該時序調整裝置包括：

一週期時序協定裝置，用以當在調整該記憶體匯流排介面之時序時，產生特定之週期時序，以輸出一預定時序信號；

一特別波形產生裝置，耦接至該週期時序協定裝置及該記憶體匯流排介面，用以接受該預定時序信號，以在特定之週期時序時，接收該記憶體匯流排介面之一特別樣型信號；

一加減裝置，用以增減一相位調整信號；以及

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 六、申請專利範圍

一相位鎖住迴路裝置，耦接至該加減裝置及該記憶體匯流排介面，係用於接收該相位調整信號及一內部時脈信號，該相位鎖住迴路裝置依據該相位調整信號，來偏移該內部時脈信號，以輸出一相位偏移時脈信號，該記憶體匯流排介面根據該相位偏移時脈信號，以調整並驅動該記憶體匯流排上之信號，使成為該特別樣型信號；

其中該加減裝置重複複數次增減並送出該相位調整信號，並由該記憶體匯流排介面所接收之該特別樣型信號錯誤與否，以獲得該記憶體匯流排介面操作時最佳之該相位調整信號。

10.如申請專利範圍第 9 項所述之記憶體控制器，其中該記憶體匯流排介面至少包括：

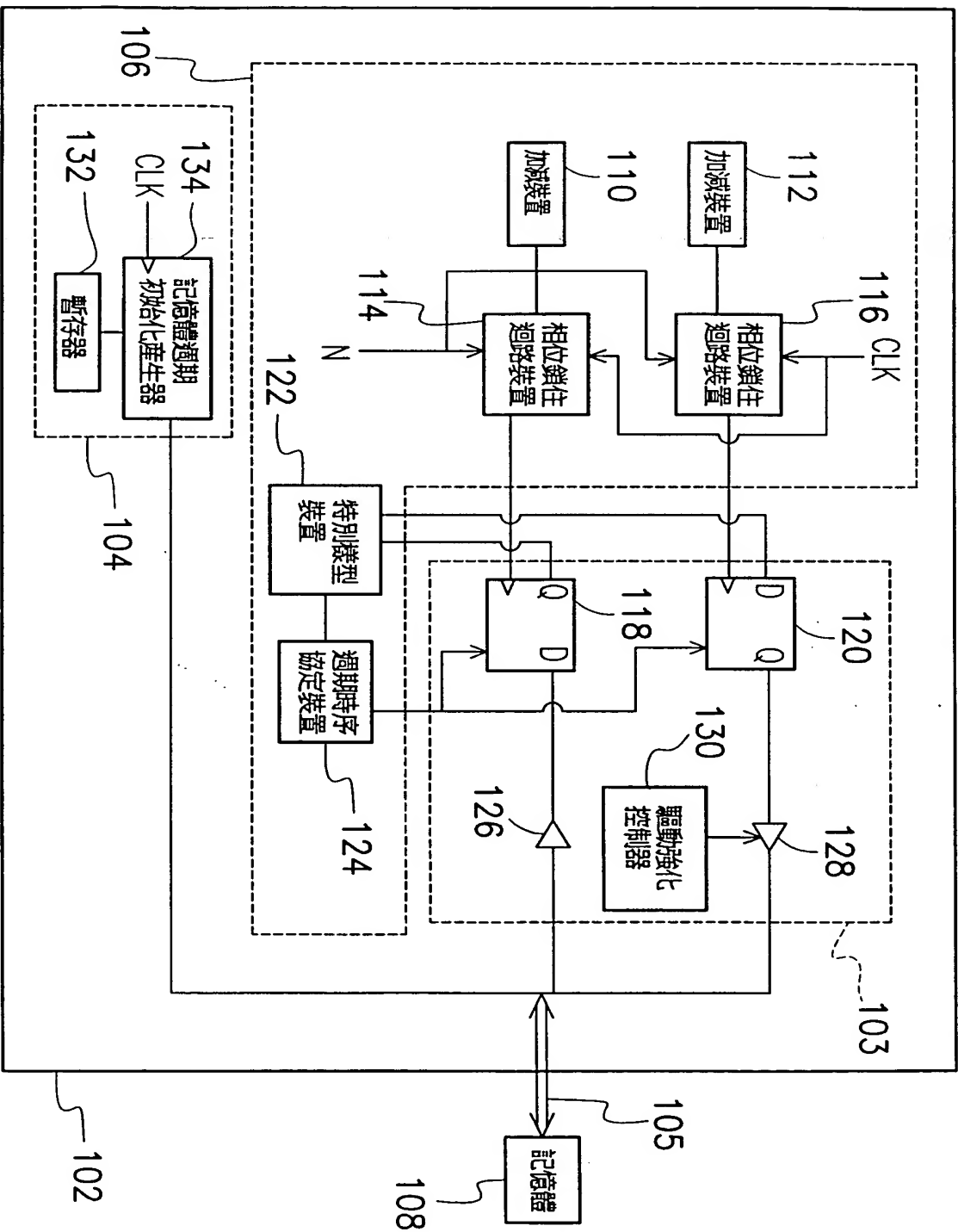
一緩衝器，用以接收、加強並輸出該記憶體匯流排上之信號；以及

一栓鎖器，耦接該特別波形產生裝置、該相位鎖住迴路裝置及該緩衝器，用以接收且暫存該緩衝器輸出之該記憶體匯流排上之信號，利用該相位偏移時脈信號為時序去驅動該栓鎖器，使得該栓鎖器輸出該特別樣型信號。

11.如申請專利範圍第 9 項所述之記憶體控制器，其中該相位鎖住迴路裝置更接收一 N 信號，用以決定偏移該內部時脈信號一次之相位值。

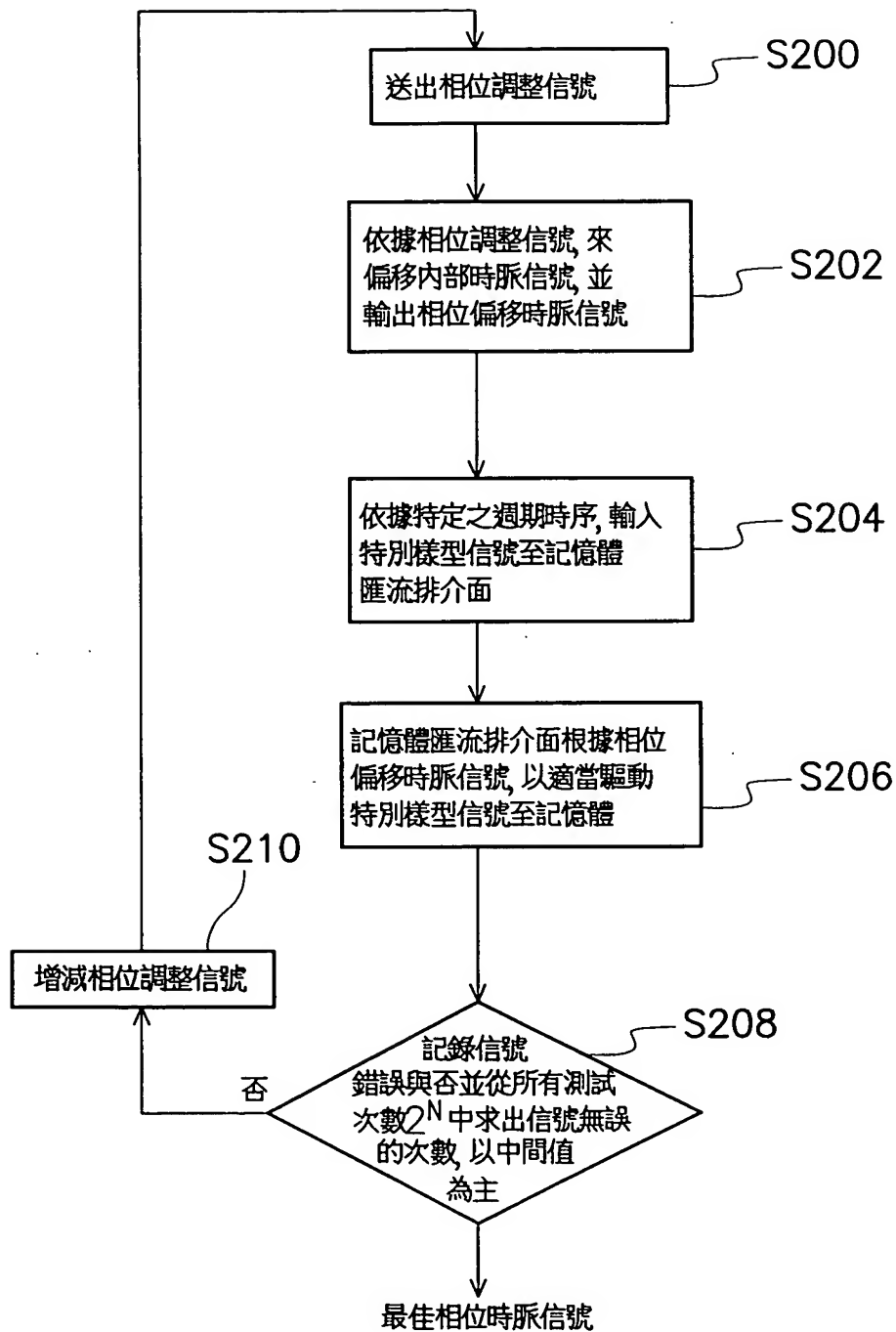
(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線



第 1 圖





第 2 圖